

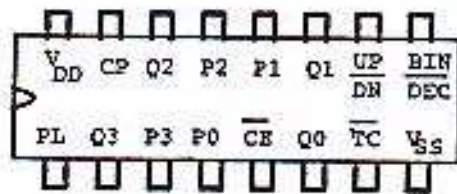
TP n°5 : convertisseurs Can et Cna à base de composant 4029.

● **Buts du TP** : le but de ce cinquième TP de seconde année est l'étude de plusieurs montages convertisseurs construits à l'aide du composant compteur 4029. On commence par étudier le fonctionnement du composant seul avant de poursuivre par l'analyse du principe de plusieurs montages Cna et Can utilisant ce circuit intégré.

1°) - étude du composant 4029.

Le circuit intégré 4029 est un compteur-décompteur synchrone binaire-décimal à 4 bits, déclenché sur des fronts d'horloge.

Lire attentivement la documentation fournie par le constructeur (en annexe) et dire à quoi servent les broches suivantes : (on donne entre parenthèses les noms utilisés sur la maquette)



- n°15 : CLOCK (CP) →
- n°9 : BINARY/DECADE (BIN/DEC) →
- n°10 : UP/DOWN (UP/DN) →
- n°1 : PRESET ENABLE (PE) noté PL →
- n°3, 4, 12 et 13 : P0, P1, P2, et P3 →
- n°5 : CARRY IN (\overline{CI}) noté \overline{CE} →
- n°6, 11, 14 et 2 : Q0, Q1, Q2 et Q3 →

étude de plusieurs situations.

On suppose que les entrées de données parallèles P0, P1, P2, et P3 sont à 0 et que PE est au niveau haut. On place PE à 0 et \overline{CI} au niveau 1 : quel est le résultat ?

Que doit-on donner comme valeur (0 ou 1) aux broches suivantes si on veut que le composant se mette à compter en binaire :

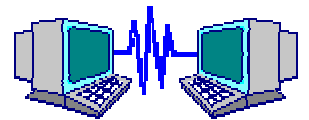
| broche | \overline{CI} | PE | UP/DN | BIN/DEC |
|--------|-----------------|----|-------|---------|
| valeur | | | | |

Même question si on veut que le composant se mette à décompter.

Même question si on veut bloquer le comptage.

Même question si on veut remettre les sorties à 0 (initialisation du compteur).

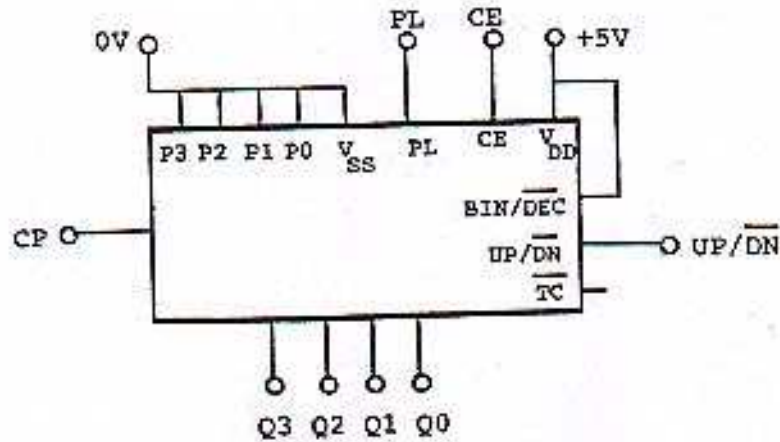
Donner la valeur des sorties Q0, Q1, Q2 et Q3 si on place PE au niveau logique 1 et que :
 P0 = 1 ; P1 = 1 ; P2 = 0 et P3 = 1



étude du compteur en binaire.

On veut compter en binaire sur 4 bits.
La connexion sur la maquette du composant 4029 est la suivante :

Rappeler la procédure à suivre pour initialiser le compteur et se mettre à compter à partir de 0.



On compte sur 4 bits : à quel chiffre maximal en décimal cela correspond-il ?

Remplir le tableau suivant qui donne les valeurs des sorties Q0, Q1, Q2 et Q3 en fonction du chiffre décimal correspondant.

| N | Q0 | Q1 | Q2 | Q3 |
|---|----|----|----|----|
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |

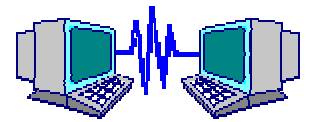
Manipulations :

Le signal envoyé sur la broche CP (horloge) est un signal carré 0-5 V pris sur la sortie TTL du GBF.

A $f = 2 \text{ Hz}$, après avoir initialisé le compteur, visualiser les sorties Q0, Q1, Q2 et Q3 avec les LED et vérifier que l'on a bien comptage ou décomptage suivant la valeur de la broche UP/DN.

Pour placer les bornes à 0 ou à 1, on se servira d'un fil à brancher sur la masse (pour le niveau 0) et sur la borne + 5 V (pour le niveau 1)

Vérifier que $\overline{CI} = 1$ bloque le comptage et que $PL = 1$ initialise le compteur.



A $f = 100 \text{ Hz}$, on veut relever les oscillogrammes de CP, Q0, Q1, Q2 et Q3.

Or, on ne peut récupérer que 4 courbes au maximum sur l'oscilloscope. (2 en direct et 2 en mémoires)

Quel le front actif de l'horloge : montant ou descendant ?

Synchroniser l'oscilloscope sur la voie 1 et envoyer le signal d'horloge sur cette voie, en y plaçant au moins 16 périodes d'horloge.

Récupérer le signal Q0 à partir de la résistance branchée juste avant la LED verte. Mettre ce signal en mémoire Ref A.

Récupérer alors le signal Q1 et synchroniser-le avec Q0 en repérant ce qui pourrait être le zéro. On s'aidera du tableau théorique précédemment trouvé. Mettre ce signal en mémoire sous Ref B .

Récupérer alors finalement le signal Q2 sur la voie 2 et synchroniser ce signal avec les autres pour obtenir le comptage de 0 à 7.

Imprimer ces 4 courbes et tracer à la main la courbe Q3.

Sous ces courbes, indiquer le nombre décimal N correspondant.

2°) - – convertisseur numérique / analogique à réseau R-2.R.

La conversion CNA est effectuée à partir d'un réseau R-2.R où $R = 27 \text{ k}\Omega$ et du composant 4029.

Les sorties numériques du composant 4029 sont notées Q0, Q1, Q2 et Q3 comme indiqué sur la figure 1 et la tension correspondant au niveau logique 1 est de $E = 5 \text{ V}$.

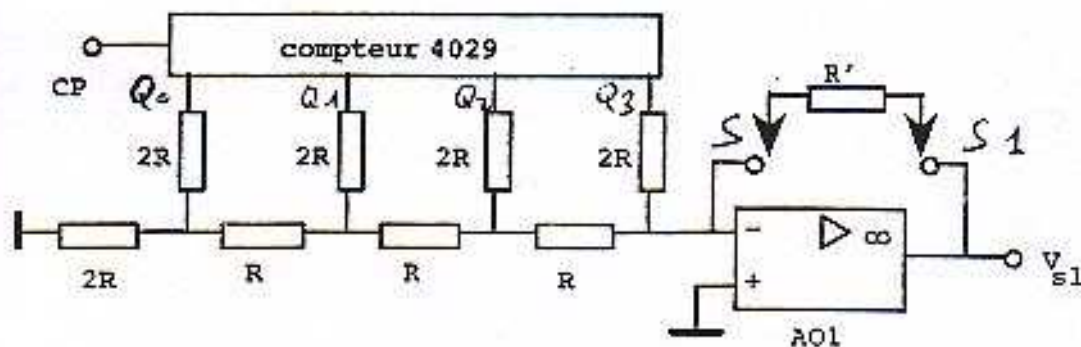
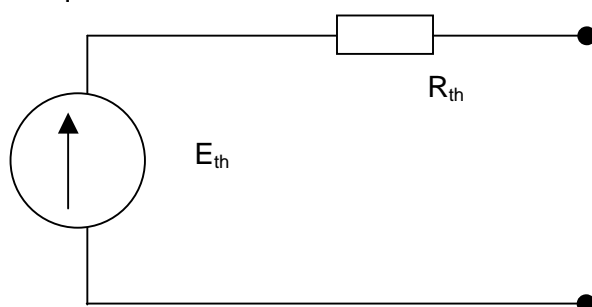


figure 1

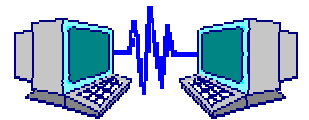
On a montré en cours qu'on peut remplacer le réseau R-2.R (à gauche de l'AO) par un générateur de Thévenin équivalent :



$$\text{avec : } R_{th} = R$$

$$E_{th} = (E/16) \cdot (Q_3 \cdot 2^3 + Q_2 \cdot 2^2 + Q_1 \cdot 2^1 + Q_0 \cdot 2^0)$$

Sauriez-vous redémontrer ce résultat (on ne demande pas de le montrer sur le compte-rendu mais de voir si, au brouillon, vous seriez capable de retrouver ce résultat)



Calculer alors V_{s1} en fonction de E, R, R', Q_0, Q_1, Q_2 et Q_3 .

Dessiner l'évolution de V_{s1} quand le nombre correspondant à $Q_0 Q_1 Q_2 Q_3$ varie de 0 à 15.

Calculer $|V_{s\max}|$ et le quantum q du convertisseur pour $R' = R$ et pour $R' = 2.R$.

Mesures : On prend $R' = R = 27 \text{ k}\Omega$.

La fréquence de l'horloge est fixée à $f = 100 \text{ Hz}$.

Faire compter le composant 4029 et relever l'oscillogramme de $V_{s1}(t)$ sur 16 périodes du compteur.

Comparer cet oscillogramme à la caractéristique théorique de transfert du convertisseur.

Donner la nature et la mesure des différentes erreurs à l'aide de l'annexe 2.

Mesurer le quantum q sur la courbe, ainsi que la résolution r du convertisseur (on rappelle que $r = q/|V_{s\max}|$)

Comparer r avec $(1/2^n)$

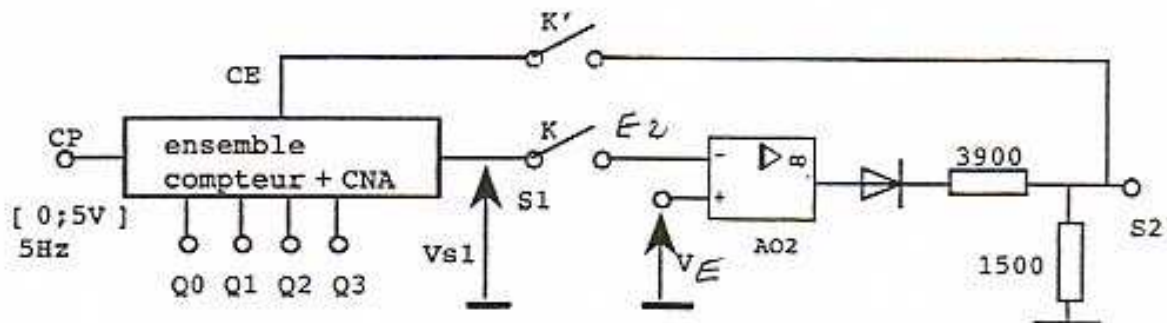
Recommencer avec $R' = 2.R$.

3°) - étude d'un premier convertisseur A / N.

On reprend la maquette déjà utilisée dans le paragraphe CNA.

La tension analogique à convertir est une tension continue négative notée V_E sur la maquette.

Le nombre binaire résultat de la conversion est le nombre correspondant à l'état des sorties du compteur 4029 : $Q_0 Q_1 Q_2 Q_3$. Le schéma du convertisseur est celui de la figure ci-dessous :



A $t = 0$, on ferme les interrupteurs K et K' .

Expliquer le fonctionnement du montage.

Expliquer en particulier le rôle de la diode et des résistances de 1500 et 3900Ω à la sortie de l'AO2.

On suppose que $R' = R$: donner la valeur des sorties numériques si $V_E = -1 \text{ V}$.

Même question si $V_E = -3 \text{ V}$.

Répondre aux mêmes questions si $R' = 2.R$.

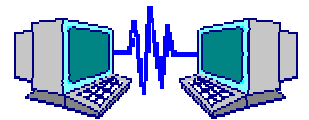
Tracer alors la caractéristique théorique de transfert et en déduire le quantum q théorique si $R' = R$.

Mesures : On ferme K et K' .

Initialiser le compteur 4029 (remettre les sorties à 0) et effectuer la conversion pour V_E variant de 0 à -5 V .

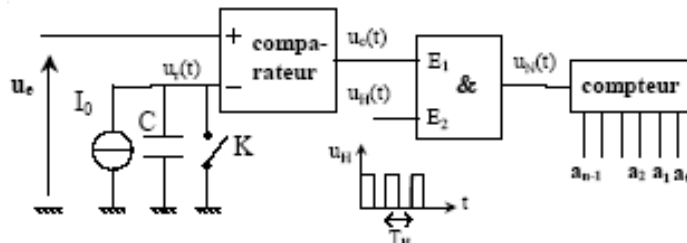
Tracer la caractéristique de transfert pratique et en déduire une mesure du quantum et de la résolution.

Quel type de quantification a-t-on effectué ? (par défaut ou par arrondi). Pour répondre à cette question, on pourra s'aider de l'annexe 2.



4°) - étude d'un second convertisseur A / N : montage simple rampe.

On veut créer un montage CAN simple rampe comme indiqué ci-dessous :



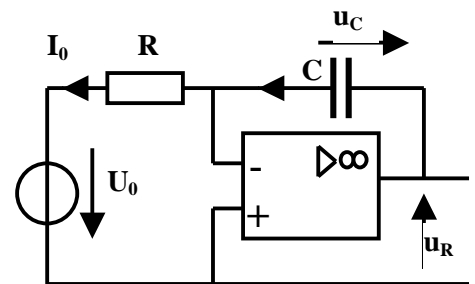
Fonctionnement théorique :

U_e est le signal analogique à convertir, $U_r(t)$ est un signal rampe, $U_H(t)$ est le signal horloge et le compteur sera constitué du composant 4029. Le signal de sortie de la porte logique est le signal $U_N(t)$ et sera envoyé sur la borne \overline{CI} du composant 4029.

Expliquer le fonctionnement théorique de ce montage.

Montrer que le circuit ci-dessous peut générer un signal rampe $U_r(t)$:

$$\text{et montrer que : } U_r(t) = \frac{U_0}{R \cdot C} \times t + U_C(t=0)$$



Fonctionnement pratique :

On veut mettre en œuvre le montage complet

choix de R et C : on veut que $U_r = 15 \text{ V}$ lorsque $t = N_{\max} \cdot T_H$. Sachant que la fréquence d'horloge est choisie à $f_H = 100 \text{ Hz}$, et que $C = 1 \mu\text{F}$, calculer la valeur à donner à R. Tester ce morceau du montage et vérifier que celui-ci génère bien un signal rampe.

Placer un fil en parallèle sur R et C de manière à pouvoir réinitialiser la rampe et ne pas décâbler cette partie.

Tester le montage comparateur ayant pour entrée U_e et U_r .

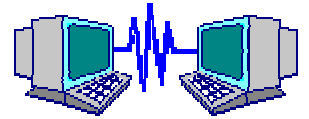
Pour que le compteur 4029 s'arrête de compter, quelle doit être la valeur logique (0 ou 1) à placer sur la borne \overline{CI} d'après l'étude du composant ? En déduire la nature de la porte (ET ou NON ET ?) à placer entre le comparateur et le compteur.

A l'aide de l'annexe 3, choisir une porte logique et effectuer le montage avec la porte logique suivie du compteur. Tester ce montage et ne pas le décâbler.

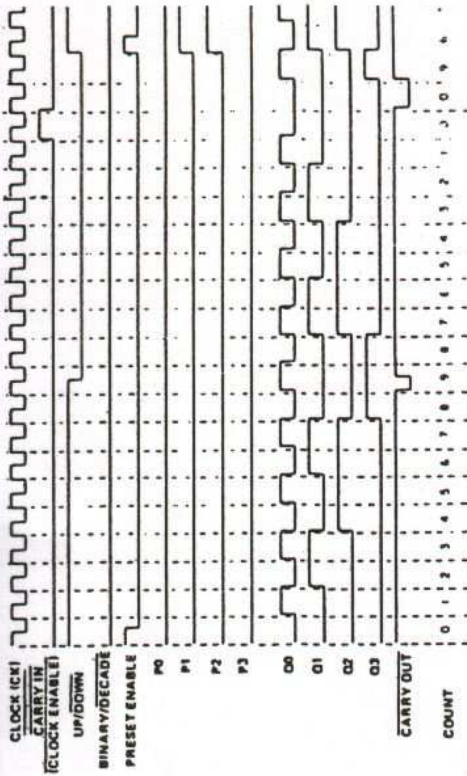
La porte logique accepte uniquement le +5V comme valeur logique 1 et 0V comme valeur logique 0. Or, la sortie du comparateur vaut +/-15V. Trouver alors le montage qui permet de transformer le -15 V en 0 V et le +15 V en +5 V.

Relier l'ensemble des parties pour effectuer le montage complet.

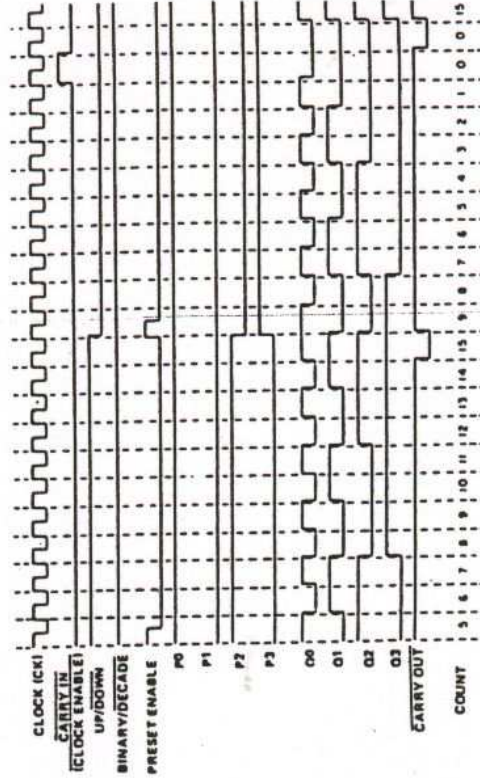
Vérifier le bon fonctionnement du montage avec quelques valeurs de U_e .



Annexe 1 : documentation constructeur sur le composant 4029.



Timing diagram decade mode



Timing diagram binary mode

MODE SELECTION TABLE

| PE | BIN/DEC | UP/DN | CI | CK | MODE |
|----|---------|-------|----|----|--|
| 1 | X | X | X | X | Parallel load (P _n → Q _n) |
| 0 | X | X | 1 | X | No change |
| 0 | 0 | 0 | 0 | ↘ | Count down, decade |
| 0 | 0 | 1 | 0 | ↘ | Count up, decade |
| 0 | 1 | 0 | 0 | ↘ | Count down, binary |
| 0 | 1 | 1 | 0 | ↘ | Count up, binary |

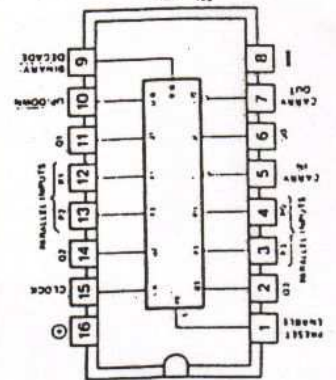
X = Don't care

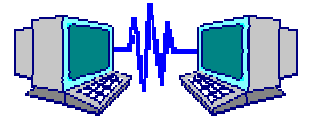
4029: Compteur/décompteur synchrone programmable binaire/décimal

Le 4029 est un compteur synchrone sur quatre bits, déclenché par un flanc, avec une entrée d'horloge (CK), une entrée de retenue (CI) active au niveau logique bas, une entrée de commande comptage/décomptage (U/D), une entrée de commande binaire/décimal (B/D), une entrée de validation de programmation asynchrone et prioritaire active au niveau logique haut (PE), quatre entrées de données parallèles (P0...P3), quatre sorties parallèles (Q0...Q3), et une sortie retenue active au niveau logique bas (CO).

Les informations présentes sur les entrées parallèles sont chargées dans le compteur lorsque l'entrée de validation de programmation (PE) est au niveau logique haut, indépendamment de l'état des autres entrées. En forçant cette entrée au niveau logique bas, on obtient un comptage synchrone cadencé par les flancs montants du signal d'horloge.

Le type de fonctionnement est déterminé par les trois entrées synchrones de commande de mode: comptage/décomptage, binaire/décimal et entrée retenue (voir la table de sélection de mode de fonctionnement). Ces entrées ne doivent être stables que pendant la durée minimale d'établissement précédant le flanc montant du signal d'horloge et durant la durée minimale de maintien qui lui succède. La sortie retenue est au niveau logique bas lorsque le compteur a atteint sa valeur maximale, déterminée par le mode de comptage, et à condition que l'entrée retenue soit au niveau logique bas.

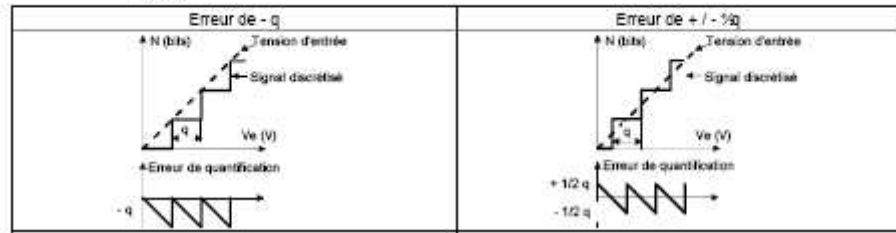




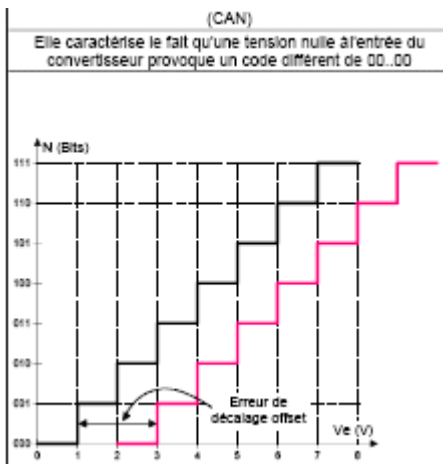
Annexe 2 : différents erreurs pour les montages convertisseurs.

erreur de quantification :

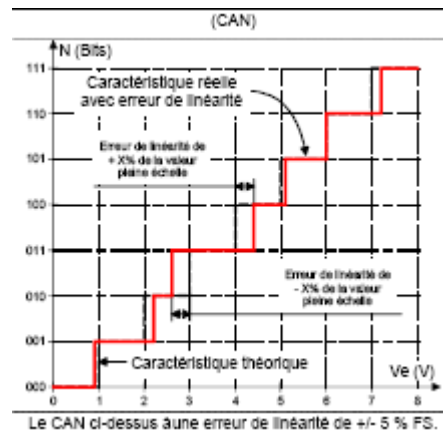
Cette erreur, systématique, est due à la discrétisation du signal d'entrée sur les convertisseurs analogiques / numériques. Elle est en générale de + ou - 1LSB ou +/- 1/2LSB.



erreur de décalage (offset) :

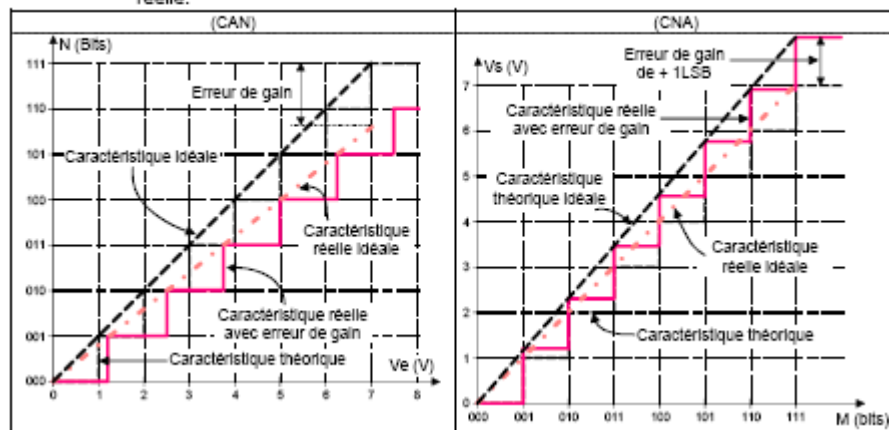


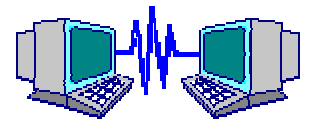
erreur de linéarité :



erreur de gain :

Elle caractérise une pente différente entre la caractéristique de transfert théorique et réelle.





Annexe 3 :types de portes logiques à circuit intégré.

1.3 Types de portes logiques à CI

| | |
|-----|----------------------------|
| 00 | 4 portes NON-ET 2 entrées |
| 02 | 4 portes NON-OU 2 entrées |
| 04 | 6 portes NON |
| 08 | 4 portes ET 2 entrées |
| 10 | 3 portes NON-ET 3 entrées |
| 11 | 3 portes ET 3 entrées |
| 20 | 2 portes NON-ET 4 entrées |
| 21 | 2 portes ET 2 entrées |
| 27 | 3 portes NON-OU 3 entrées |
| 30 | 1 portes NON-ET 8 entrées |
| 32 | 4 portes OU 2 entrées |
| 86 | 4 portes OU 2 entrées |
| 133 | 1 portes NON-ET 13 entrées |

Peu importe la famille logique, tous les composants qui ont un suffixe identique ont des brochages compatibles : ils ont tous le même arrangement dans la numérotation de leurs broches. Par exemple, les composants 7400, 74S00, 74LS00, 74AL00, 74F00, 74HC00 et 74AHC00 sont tous des CI compatibles contenant 4 portes NON-ET à 2 entrées.

