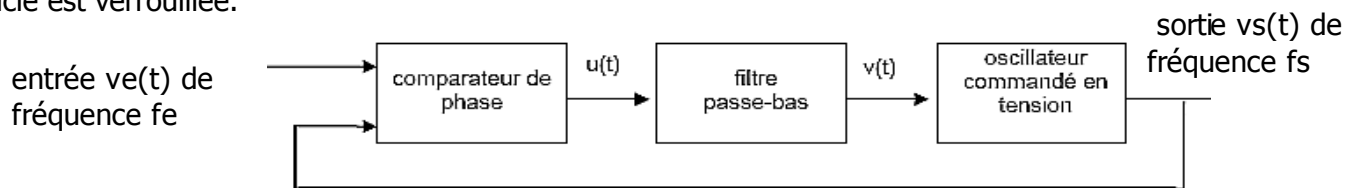


**TP n°3 : étude de la boucle à verrouillage de phase 4046 et application à la synthèse de fréquence.**

→ But du TP : le but de ce troisième TP de seconde année est l'étude des principales caractéristiques d'un composant très utile : la boucle à verrouillage de phase. On commence par mesurer les principales caractéristiques de ce composant 4046, puis on l'utilise comme synthétiseur de signaux à différentes fréquences, en association avec un compteur 4029.

**Préambule : rappels de résultats du cours sur la PLL:**

La boucle à verrouillage de phase est un montage permettant, sous certaines conditions, d'asservir la phase du signal de sortie à celle d'un signal placé à l'entrée. Lorsqu'on a  $f_s = f_e$ , on dit que la boucle est verrouillée.



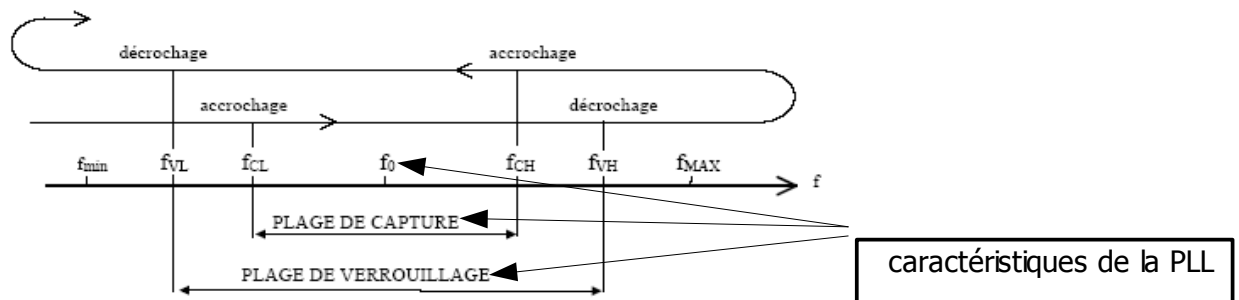
- Oscillateur Commandé en Tension (Voltage Controlled Oscillator) : donne un signal  $v_s(t)$  sinusoïdal ou carré de fréquence telle que  $f(t) = f_0 + k_f \cdot v(t)$  où  $f_0$  est la fréquence centrale de l'oscillateur et  $k_f$  la pente du VCO.
- Comparateur de phase : dispositif qui délivre une tension  $u(t)$  caractérisée par :
  - une composante continue proportionnelle à  $(\varphi_e - \varphi_s)$ .
  - des harmoniques de fréquence  $2 \cdot f_e, 4 \cdot f_e, \dots$
 Le comparateur de phase peut être soit analogique (multiplieurs, comme dans le cas de la détection synchrone) ou numérique (OU exclusif).
- filtre passe-bas : ce filtre est utilisé pour filtrer les harmoniques de  $u(t)$ . Il est souvent composé d'un circuit RC.

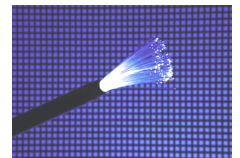
Principe de fonctionnement :

- en l'absence de signal  $v_e(t)$  d'entrée, ou si le signal d'entrée a une fréquence trop grande ou trop petite, le signal de sortie a une fréquence égale à la fréquence centrale du VCO, à savoir  $f_0$ .  

La PLL est non-verrouillée et  $f_s = f_0$ .
- si la fréquence du signal d'entrée est voisine de  $f_0$ , la PLL se verrouille, c'est-à-dire que la fréquence du signal de sortie suit la fréquence du signal d'entrée. Ceci se passe après un très court instant où les signaux  $u(t)$  et  $v(t)$  sont en régime transitoire.  

Boucle verrouillée :  $f_s = f_e$ .
- si la fréquence du signal d'entrée sort de la plage de verrouillage, la boucle décroche et on retrouve l'état :  $f_s = f_0$





## 1) étude du fonctionnement de la boucle à verrouillage de phase 4046.

Sur le document constructeur fourni dans votre répertoire de classe et dans l'annexe 4, identifier les trois parties de la PLL : comparateur de phase, filtre passe-bas et VCO.

On alimentera le composant 4046 par la tension continue  $V_{dd} = 10\text{ V}$  et on utilisera dans un premier temps le comparateur de phase n°1 (c'est un OU exclusif).

Le fonctionnement du V.C.O. nécessite la présence de  $R_1$ ,  $R_2$  et  $C_1$ .

On donne :  $V_{dd} = 10\text{ V}$ ,  $R_1 = 10\text{ k}\Omega$ ,  $R_2 = 22\text{ k}\Omega$ ,  $C_1 = 1\text{ nF}$ ,  $R_3 = 10\text{ k}\Omega$  et  $C_2 = 10\text{ nF}$ .

Câbler le composant 4046 selon le schéma de la page précédente (rappel de cours) pour pouvoir étudier son fonctionnement.

### A) recherche des trois caractéristiques de la PLL.

- recherche de la fréquence propre  $f_0$  : c'est la fréquence du signal de sortie (du VCO) lorsque la PLL n'est pas verrouillée donc il suffit de placer en entrée (signal  $v_e(t)$ ) un signal de fréquence telle qu'il ne soit pas dans la plage de verrouillage de la PLL. Imposer alors  $v_e(t) = 0$  et mesurer  $f_0$ . Faire apparaître le signal  $v_s(t)$  sur votre compte-rendu dans ce cas et mesurer la valeur du signal à l'entrée du VCO  $u(t)$ . Comment est ce signal ?

Imposer  $v_e(t)$  signal carré évoluant entre 0 et  $V_{dd}$  et de fréquence  $f_0$ .

Relever  $v_e(t)$  et  $v_s(t)$ . Que vaut  $v(t)$  ? Quelle est la valeur du décalage temporel entre  $v_e(t)$  et  $v_s(t)$  ? A quel déphasage cela correspond-il ?

- recherche de la plage de verrouillage : c'est l'intervalle de fréquence (pour le signal d'entrée) où les fréquences d'entrée et de sortie sont les mêmes. On dit que la boucle est verrouillée.

Imposer  $v_e(t)$  signal carré évoluant entre 0 et  $V_{dd}$  et de fréquence  $F$  proche de  $f_0$ . Visualiser  $v_e(t)$  et  $v_s(t)$  et afficher les valeurs des fréquences. Augmenter alors la fréquence  $F$  de  $v_e(t)$  jusqu'à ce que  $f_s$  soit différent de  $f_e$ . On note cette valeur  $F_{VH}$ : c'est la valeur maximale de la plage de verrouillage.

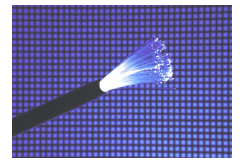
Revenir à une fréquence de  $v_e(t)$  de  $f_0$  et diminuer la fréquence de  $v_e(t)$  jusqu'à ce que  $f_s$  soit différent de  $f_e$ . On note cette valeur  $F_{VL}$ : c'est la valeur minimale de la plage de verrouillage.

- recherche de la plage de capture (ou d'accrochage) de la PLL : les deux fréquences de la plage de capture donnent les limites où le système peut être verrouillé.

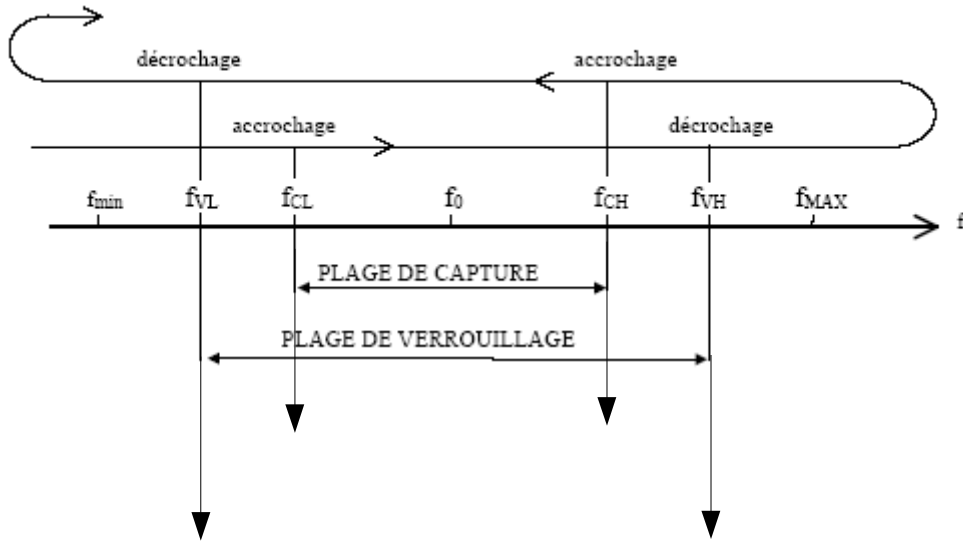
Imposer  $v_e(t)$  signal carré évoluant entre 0 et  $V_{dd}$  et de fréquence  $F$  inférieure à  $F_{VL}$ . Comment peut-on se rendre compte alors que la PLL n'est pas verrouillée ? Faites cette expérience.

Augmenter la fréquence du signal  $v_e(t)$  jusqu'à atteindre le verrouillage de la PLL. Comment peut-on se rendre compte alors que la PLL est verrouillée ? On note  $F_{CL}$  cette valeur de fréquence.

Imposer  $v_e(t)$  signal carré évoluant entre 0 et  $V_{dd}$  et de fréquence  $F$  supérieure à  $F_{VH}$ . Diminuer la fréquence du signal  $v_e(t)$  jusqu'à atteindre le verrouillage de la PLL. On note  $F_{CH}$  cette valeur de fréquence.



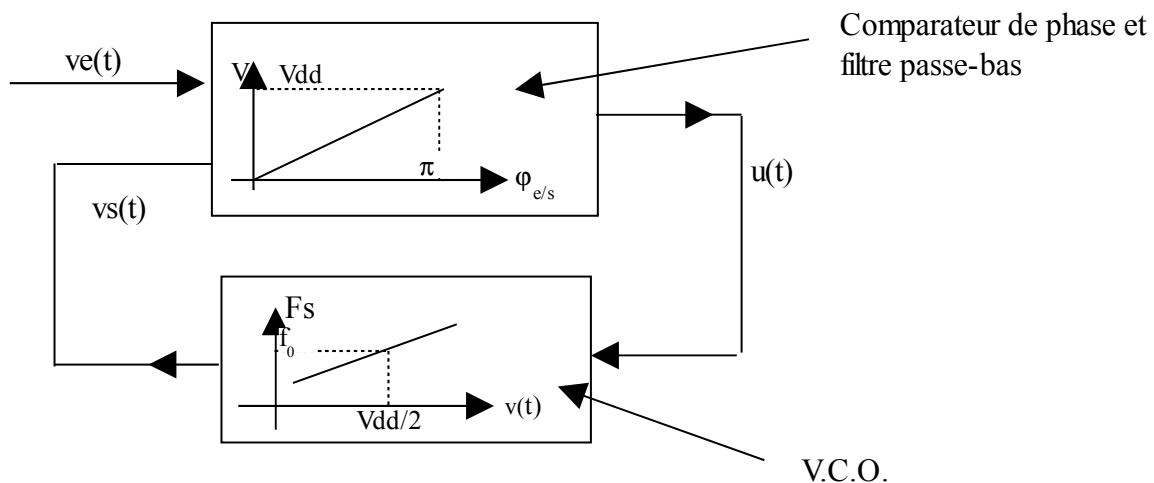
Récapituler vos résultats ci-dessous :



### B) caractéristiques des blocs de la PLL.

La PLL est constituée de 3 blocs (rappels) :

- comparateur de phase.
- filtre passe-bas.
- VCO.

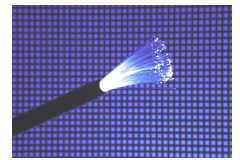


On veut montrer que les caractéristiques des blocs 1 et 3 sont les suivantes :

Pour une dizaine de points entre  $F_{VH}$  et  $F_{VL}$ , autour de  $f_0$ , relever les valeurs de  $F_s$ ,  $F_e$ , et de  $v(t)$   
Noter les valeurs du décalage temporel existant entre  $v_e(t)$  et  $v_s(t)$  pour  $F_e = F_{VH}$ ,  $F_{VL}$ , et  $f_0$  et en déduire les valeurs du déphasage  $\phi_{ve/vs}$ .

En déduire les tracés des deux caractéristiques des deux blocs, ainsi que les coefficients  $k_f$  et du bloc comparateur de phase + filtre PB et  $k_0$  du VCO.

En déduire également la caractéristique  $F_s = f(F_e)$ .



### C) influence du rapport cyclique sur la plage de verrouillage.

On applique  $v_e(t)$  signal carré, évoluant entre 0 et  $V_{dd}$ , de rapport cyclique faible ( 0,2 par exemple ) et de fréquence  $F_e$  variable.

Relever les signaux  $v_e(t)$  et  $v_s(t)$  à  $f_0$ .

On notera  $\Delta t$  le décalage temporel existant entre le front montant de  $v_e(t)$  et celui de  $v_s(t)$

Déterminer la plage de fréquence de verrouillage de la PLL.

Commenter.

Noter les valeurs de  $v(t)$  et de  $\phi_{v_e/v_s}$  aux limites de cette plage.

Valider ces résultats en remplissant l'annexe 1 pour retrouver cette relation et en exploitant la caractéristique idéalisée (doc constructeur) du VCO avec  $\Delta t_{\min}=0$  et  $\Delta t_{\max}=t_H$ .

## 2) utilisation de la PLL comme synthétiseur de signaux avec différentes fréquences.

On insère le compteur dans la boucle comme indiqué sur le schéma structurel donné feuille annexe 2. ( la résistance R4 est court-circuitée )

Quelle est la relation entre  $F_e$  et  $F_r$  lorsque la boucle est verrouillée ?

En déduire la relation entre  $F_s$ , N et  $F_e$  lorsque la boucle est verrouillée.

Le signal  $v_e(t)$  est un signal carré de rapport cyclique  $1/2$  et de fréquence  $F_e$ .

Le compteur fonctionne en mode binaire.

D'après le document constructeur du composant 4029 présent en annexe 3, quelles sont les valeurs à donner aux broches PL,  $\overline{CE}$ , UP/DOWN, BIN/DEC pour que le composant compte en binaire ?

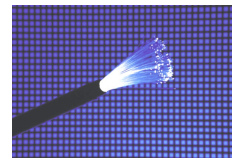
D'après le même document, préciser sur quelle sortie  $Q_i$  doit-on se brancher pour que la fréquence de sortie soit divisée par  $N = 2$  ? Même question pour  $N = 4, 8$  et  $16$ .

Vérifier le bon fonctionnement du montage avec  $N = 2$  et visualiser  $v_e(t)$  et  $v_s(t)$  pour  $F_e = F_0/2$

Justifier le décalage temporel existant entre  $v_e(t)$  et  $v_s(t)$  ou  $r(t)$ .

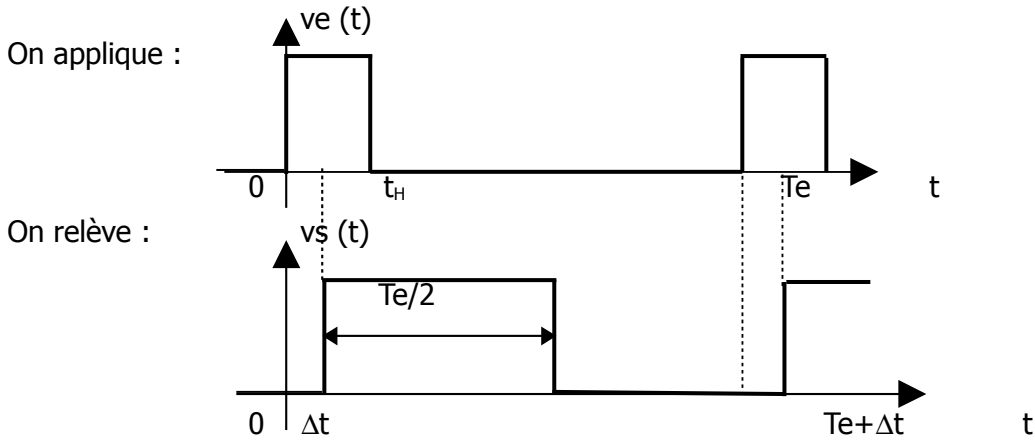
Donner les limites de la plage de verrouillage et justifier les valeurs de fréquences obtenues.

Vérifier les limites de la plage de verrouillage avec  $N = 4, N = 8$  ou  $N = 16$ .



### Annexe 1 : évolution de la plage de verrouillage avec le rapport cyclique.

Utilisation du comparateur de phase 1 ( OU exclusif )



Représenter la tension  $u_d(t)$  en sortie du " Ou exclusif "

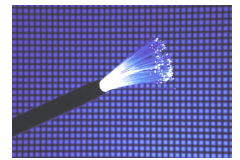


Donner l'expression de  $v$ . ( on rappelle  $v = \langle u(t) \rangle$  )

Vérifier une expression de la forme :  $v = V_{dd} \left( \frac{1}{2} + \frac{2\Delta t - t_H}{T_e} \right)$

Sachant que  $\Delta t$  ne peut évaluer qu'entre 0 et  $t_H$ , donner les plages de variations possibles de  $v$  en fonction de  $V_{dd}$  et du rapport cyclique  $\alpha = \frac{t_H}{T_e}$

Comment évolue la plage de verrouillage de la boucle ?



## Annexe 2 : synthèse de fréquence avec une PLL.

Schéma fonctionnel

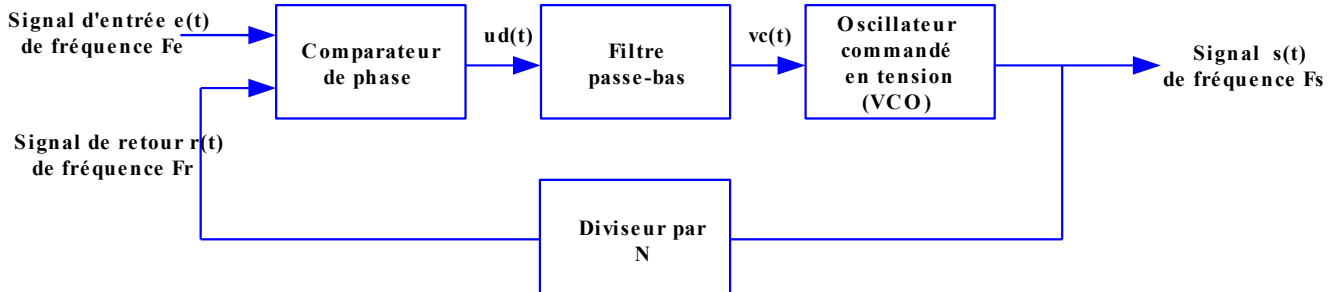
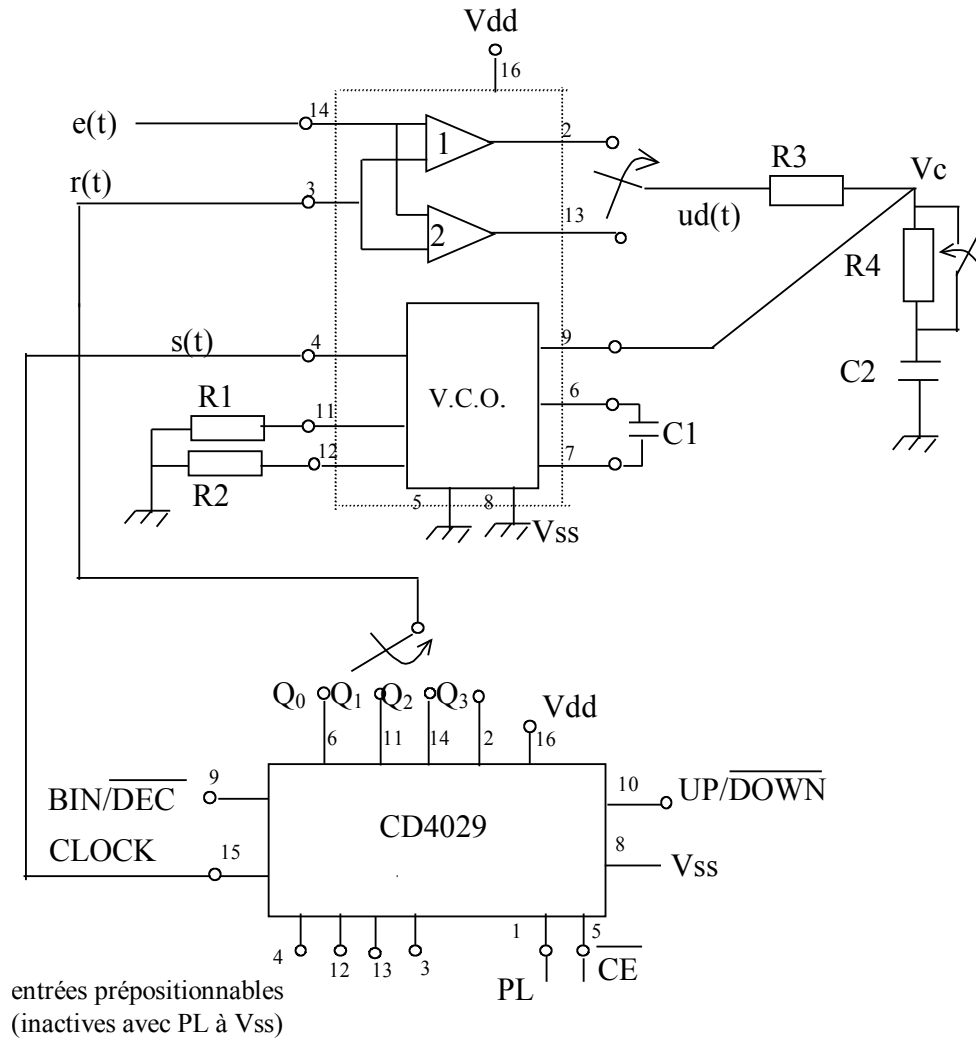
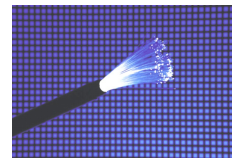


Schéma structurel avec une P.L.L. de type 4046 et un compteur de type 4029





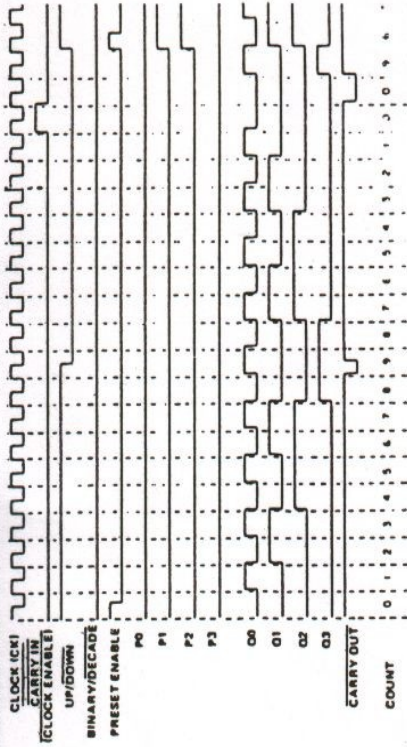
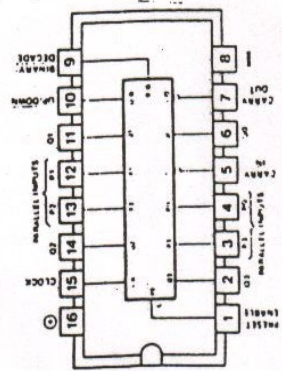
Annexe 3 : document constructeur 4029.

**4029: Compteur/décompteur synchrone programmable binaire/décimal**

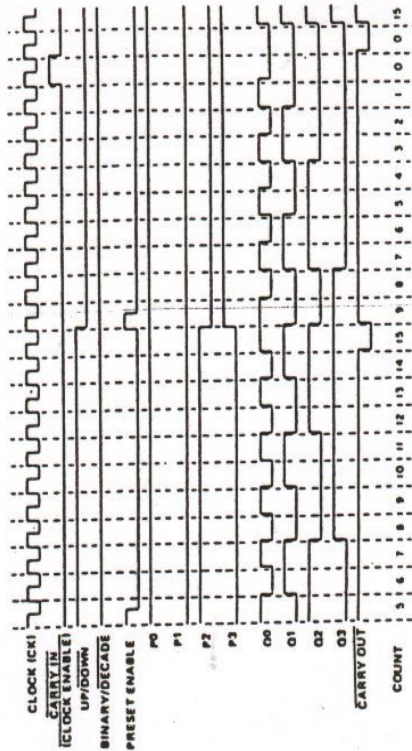
Le 4029 est un compteur synchrone sur quatre bits, déclenché par un flanc, avec une entrée d'horloge (CK), une entrée de retenue ( $\overline{CI}$ ) active au niveau logique bas, une entrée de commande comptage/décomptage ( $U/\overline{D}$ ), une entrée de commande binaire/décimal ( $B/\overline{D}$ ), une entrée de validation de programmation asynchrone et prioritaire active au niveau logique haut (PE), quatre entrées de données parallèles ( $P_0 \dots P_3$ ), quatre sorties parallèles ( $Q_0 \dots Q_3$ ), et une sortie retenue active au niveau logique bas ( $\overline{CO}$ ).

Les informations présentes sur les entrées parallèles sont chargées dans le compteur lorsque l'entrée de validation de programmation (PE) est au niveau logique haut, indépendamment de l'état des autres entrées. En forçant cette entrée au niveau logique bas, on obtient un comptage synchrone cadencé par les flancs montants du signal d'horloge.

Le type de fonctionnement est déterminé par les trois entrées synchrones de commande de mode: comptage/décomptage, binaire/décimal et entrée retenue (voir la table de sélection de mode de fonctionnement). Ces entrées ne doivent être stables que pendant la durée minimale d'établissement précédant le flanc montant du signal d'horloge et durant la durée minimale de maintien qui lui succède. La sortie retenue est au niveau logique bas lorsque le compteur a atteint sa valeur maximale, déterminée par le mode de comptage, et à condition que l'entrée retenue soit au niveau logique bas.



Timing diagram decade mode



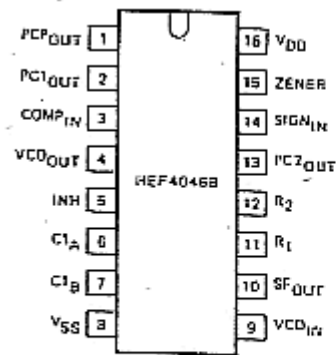
Timing diagram binary mode

MODE SELECTION TABLE

PE	BIN/DEC	UP/DN	$\overline{CI}$	CK	MODE
1	X	X	X	X	Parallel load ( $P_n \rightarrow Q_n$ )
0	X	X	1	X	No change
0	0	0	0	—	Count down, decade
0	0	1	0	—	Count up, decade
0	1	0	0	—	Count down, binary
0	1	1	0	—	Count up, binary

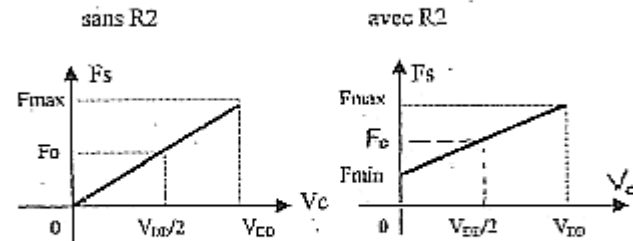
X = Don't care

### Annexe 4 : document constructeur 4046.

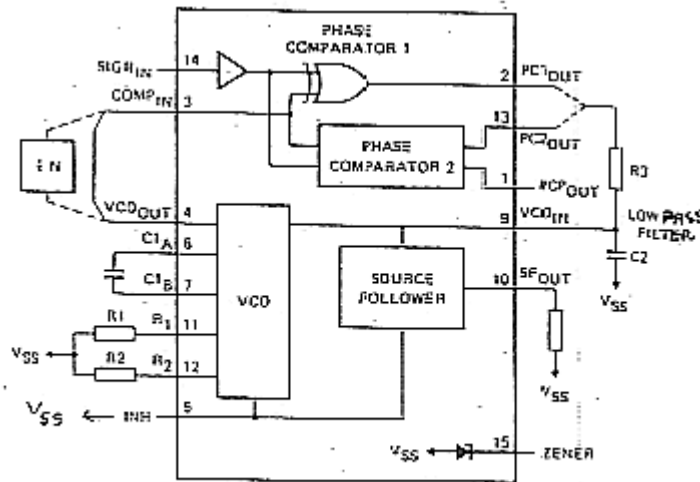


Brochage

#### Oscillateur commandé en tension Caractéristique idéalisée du V.C.O.



$V_c$  : tension d'entrée du V.C.O.  
 $F_s$  : fréquence du signal délivré par le V.C.O.



#### Données du constructeur.

##### Caractéristiques de la boucle avec le comparateur 1

Absence de signal sur l'entrée $SIGN_{IN}$	Réglage du V.C.O. sur sa fréquence centrale $F_0$
Angle de phase entre $SIGN_{IN}$ et $COMP_{IN}$	$90^\circ$ à la fréquence centrale Valeurs proches de $0$ et de $180^\circ$ aux extrémités de la plage de verrouillage
Fréquence centrale $F_0$	Fréquence du V.C.O. pour $V_c = V_{DD}/2$
Verrouillage sur les harmoniques de la fréquence centrale	Oui
Plage de verrouillage $2F_L$	Plage de fréquences du V.C.O. $2F_L = F_{max} - F_{min}$
Plage de capture $2F_C$	Dépend des caractéristiques du filtre passe-bas $F_C < F_L$