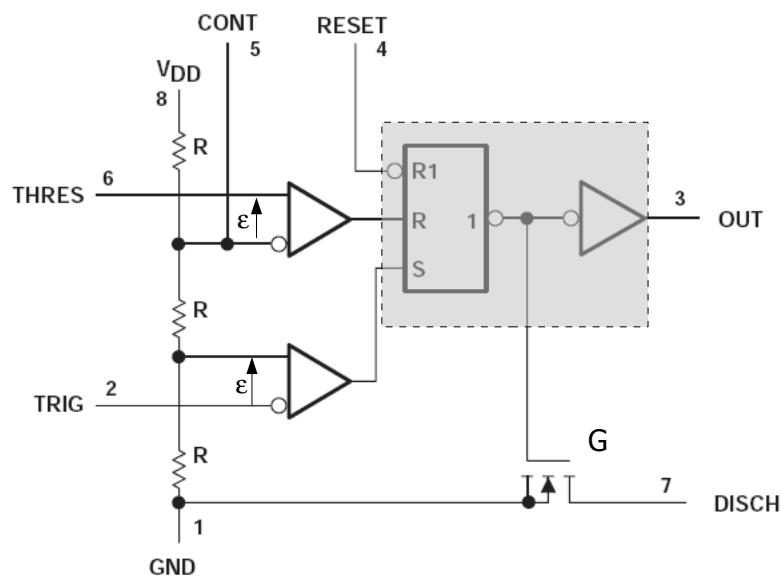


**TP n°2 : génération d'un signal carré ou rampe à l'aide du composant « timer »LTC555.**

● But du TP : ce second TP de BTS SE a pour but l'étude du fonctionnement d'un circuit spécialisé très utilisé en électronique, au travers de deux montages générateurs de signaux. On commencera par l'étude du composant seul en regardant de plus près son schéma fonctionnel à l'aide de la doc constructeur. On poursuivra en utilisant ce composant pour effectuer un montage astable. Enfin, on essaiera de comprendre le montage conduisant à générer un signal rampe.

**1) Description du circuit TLC555.**

functional block diagram



On précise que les deux comparateurs présentent en sortie un niveau numérique haut (« 1 ») lorsque la tension différentielle d'entrée  $\epsilon$  est positive et un niveau bas (« 0 ») lorsque  $\epsilon < 0$ .

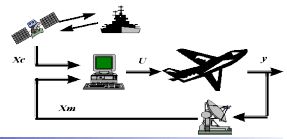
On donne la table de vérité de l'ensemble « bascule inverseuse RS -amplificateur inverseur ».

R	S	Out
0	0	État mémoire
0	1	1
1	1	État interdit
1	0	0

Le RESET à « 0 » provoque une mise à « 0 » de la sortie quelque soit l'état des entrées .  
Le fonctionnement classique du circuit passe par la mise au niveau « 1 » du RESET donc impose que la patte 4 du circuit soit à  $V_{DD}$ .

Le transistor MOS est bloqué si sa tension de grille G est à 0V et est saturé si sa tension de grille est proche de la tension d'alimentation.

Rappeler par quoi on va remplacer la partie du transistor MOS entre les pattes 7 et 1 si  $V_G = 0$  et si  $V_G = V_{DD}$ .



Fonctionnement en astable.

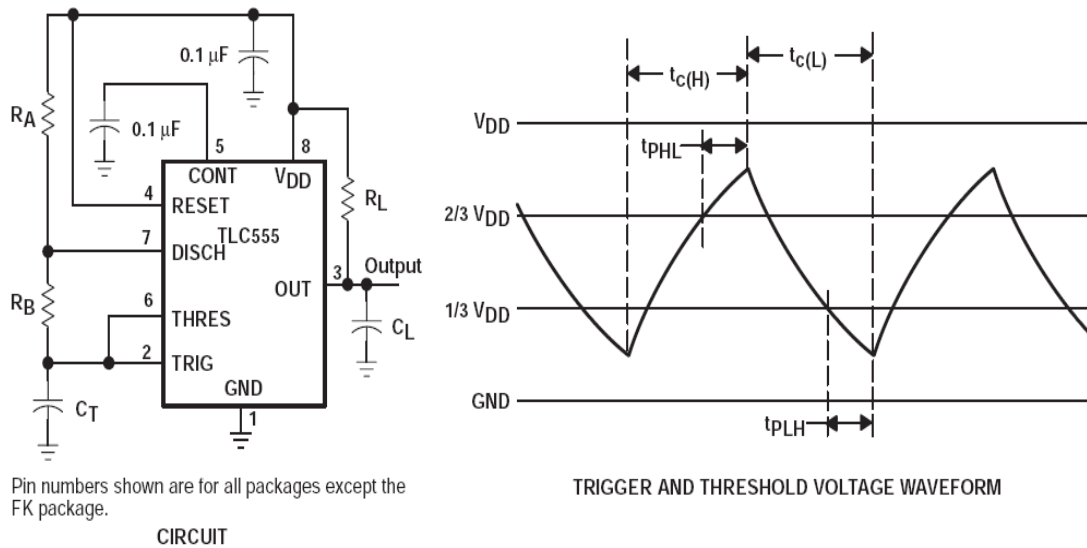


Figure 3. Astable Operation

Connecting TRIG to THRES, as shown in Figure 3, causes the timer to run as a multivibrator. The capacitor  $C_T$  charges through  $R_A$  and  $R_B$  to the threshold voltage level (approximately  $0.67 V_{DD}$ ) and then discharges through  $R_B$  only to the value of the trigger voltage level (approximately  $0.33 V_{DD}$ ). The output is high during the charging cycle ( $t_{c(H)}$ ) and low during the discharge cycle ( $t_{c(L)}$ ). The duty cycle is controlled by the values of  $R_A$ ,  $R_B$ , and  $C_T$  as shown in the equations below.

$$t_{c(H)} \approx C_T (R_A + R_B) \ln 2 \quad (\ln 2 = 0.693)$$

$$t_{c(L)} \approx C_T R_B \ln 2$$

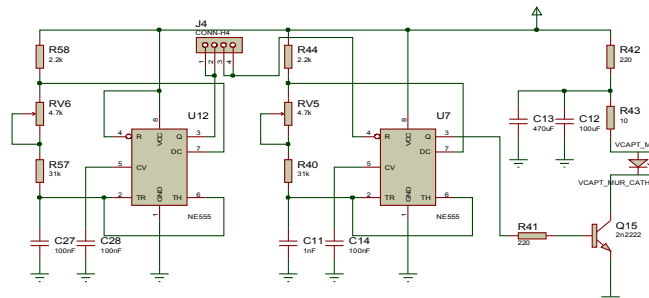
$$\text{Period} = t_{c(H)} + t_{c(L)} \approx C_T (R_A + 2R_B) \ln 2$$

$$\text{Output driver duty cycle} = \frac{t_{c(L)}}{t_{c(H)} + t_{c(L)}} \approx 1 - \frac{R_B}{R_A + 2R_B}$$

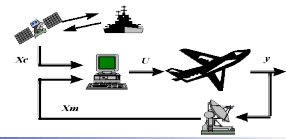
$$\text{Output waveform duty cycle} = \frac{t_{c(H)}}{t_{c(H)} + t_{c(L)}} \approx \frac{R_B}{R_A + 2R_B}$$

The  $0.1\text{-}\mu\text{F}$  capacitor at CONT in Figure 3 decreases the period by about 10%.

Pour mémoire, on place ci-dessous le schéma des deux astables constituant le début de la chaîne « détection du mur » du thème 2009 STI électronique (étude du robot ROOMBA) :

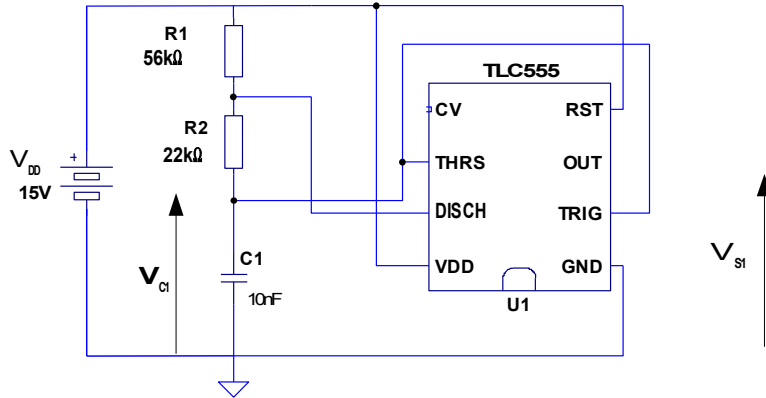


Rappeler quel est le but d'un montage astable et quels en sont les principaux paramètres.



2) réalisation d'un montage astable à l'aide du TLC555.

Circuit d'étude:



Réaliser le circuit ci-contre sur plaque d'essais. On veillera à bien relier la patte RESET (4) au VDD de 15V.

a) étude expérimentale.

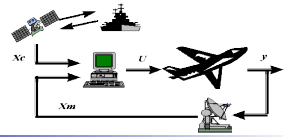
Pour des raisons d'économie de papier, l'impression des oscillogrammes ne se fera que lorsque tous les réglages de l'oscilloscope (synchronisation, mesures automatiques..) seront effectués correctement.

- a) Visualiser les oscillogrammes des signaux  $v_{s1}(t)$  et  $v_{c1}(t)$  sur deux ou trois périodes.
  - b) En utilisant les mesures automatiques de l'oscilloscope, donner les caractéristiques des deux signaux à savoir:
    - pour  $v_{s1}(t)$ : les niveaux de tension, la fréquence, le temps haut, le temps bas et le rapport cyclique.
    - pour  $v_{c1}(t)$ : les niveaux de tension et la fréquence.
- Comparer ces résultats avec les valeurs calculées d'après la documentation constructeur.
- Conclure sur la validité des résultats obtenus.

b) étude théorique.

Le but de cette partie est de comprendre le fonctionnement du montage étudié *sans faire* de calcul. Pour cela, on va déterminer les **états du transistor MOS** selon les valeurs de l'entrée.

V(2)=V(6)	0	$V_{DD}/3$	$2.V_{DD}/3$	$V_{DD}$
S				
R				
Out				
V(G)				
État du transistor				



### Circuit de charge du condensateur C1 :

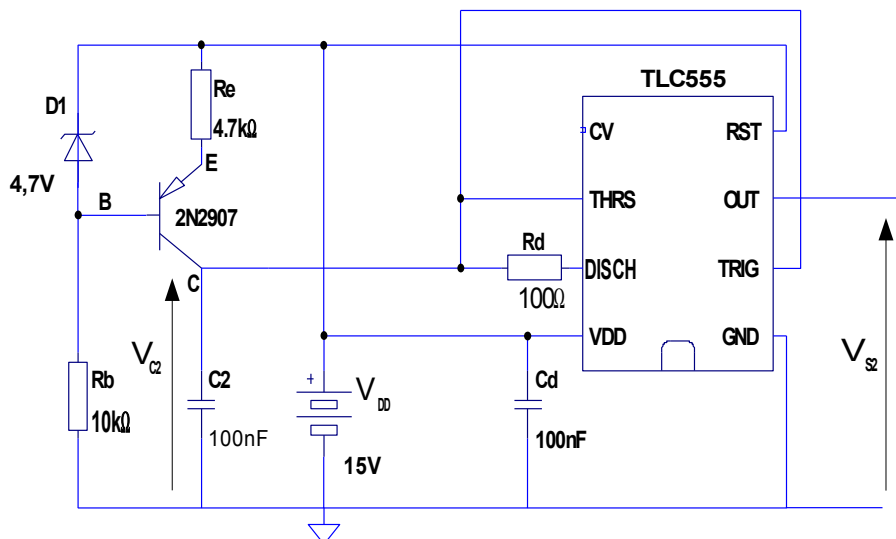
Dessiner pour les deux états du transistor le circuit de charge du condensateur, on précisera pour chaque cas la tension initiale, la tension finale et la tension atteinte à la commutation de la bascule.

En utilisant la formule (vue en terminale) permettant de calculer le temps  $t_a$  que met la tension aux bornes d'un condensateur  $C$  pour passer de  $V_i$  (tension initiale) à  $V_a$  (tension atteinte) lorsqu'il se charge vers  $V_f$  (tension finale) à travers une résistance  $R$ , retrouver les valeurs de  $t_{C(H)}$  et  $t_{C(L)}$  indiquées par le constructeur.

On rappelle : 
$$t_a = R \cdot C \cdot \ln \left( \frac{V_f - V_i}{V_f - V_a} \right)$$

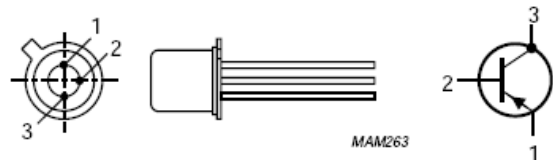
### 3) réalisation d'un montage générateur de rampe à l'aide du TLC555.

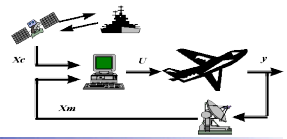
Circuit d'étude



La diode D1 est une diode zéner de tension zéner  $V_z=4,7V$ , le condensateur Cd est un condensateur de découplage .

Le transistor 2N2907 est un transistor PNP, le brochage est donné ci-contre





Réaliser ce montage sur une plaque d'essais.

3-1. étude expérimentale.

- c) Donner les chronogrammes sur deux ou trois périodes de  $v_{s2}(t)$  et de  $v_{c2}(t)$  après avoir réalisé les mesures automatiques des caractéristiques essentielles de ces deux signaux.
- d) En comparant les deux phases croissantes des tensions  $v_{c1}(t)$  (circuit précédent) et de  $v_{c2}(t)$  que peut-on affirmer sur le courant traversant C2 pendant cette phase ? Quel est donc le rôle du circuit réalisé autour du transistor?
- e) Donner la loi expérimentale de la tension  $v_{c2}(t)$  en fonction du temps pendant cette phase.

3-2. étude théorique.

- a) En exploitant à nouveau le tableau de la question 2)b) et en remplaçant le circuit réalisé autour du transistor 2N2907 par un symbole approprié, donner le circuit de charge du condensateur.
- b) En déduire alors la loi d'évolution de  $v_{c2}(t)$  pendant cette phase et la comparer avec la loi expérimentale trouvée précédemment. Déterminer alors la durée de l'état haut de la tension de sortie.
- c) Comment se décharge le condensateur lorsque la sortie du timer est à zéro? Quel est alors le rôle de  $R_d$  ? En déduire la durée de l'état bas.
- d) Donner un tableau récapitulatif regroupant les résultats expérimentaux et théoriques concernant les diverses durées ainsi que la fréquence. Conclure.